

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-016398
 (43)Date of publication of application : 17.01.1997

(51)Int.CI. G06F 9/38

(21)Application number : 07-163676 (71)Applicant : TOSHIBA MICROELECTRON CORP
 TOSHIBA CORP

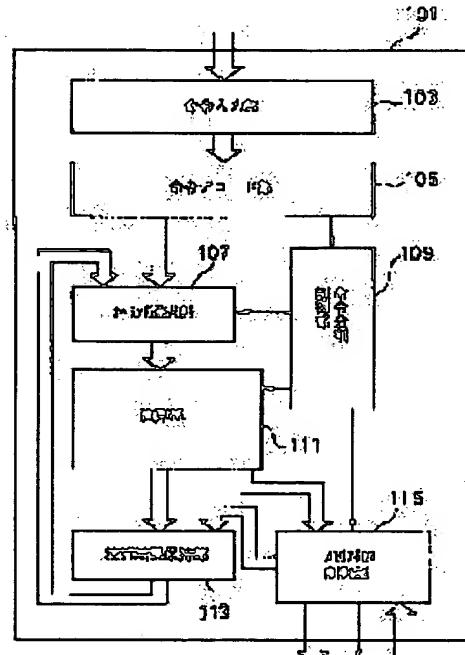
(22)Date of filing : 29.06.1995 (72)Inventor : FUJIMURA HIRONORI
 TAKAI HIROYUKI
 ONAINO SEIJI
 TAKASUGI MIKIO
 YAGUCHI TOSHIYUKI
 KUNIMATSU ATSUSHI

(54) INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To provide an information processor by which plural pieces of data can be read/written by suppressing the capacity of hardware as much as possible and generating the address of plural pieces of data.

CONSTITUTION: An instruction code inputted by an instruction input part 103 is decoded by an instruction decode part 105 and an operand and a control signal are generated. Corresponding to the control signal, an instruction division control part 109 outputs a division control signal and corresponding to the division control signal, an operand selecting part 107 outputs the operand inputted from the instruction decode part 105 with prescribed bit width. An arithmetic part 111 performs arithmetic by dividing the operand into the prescribed bit width corresponding to the division control signal, the calculated address is inputted, this address and the division control signal are outputted, and a memory access control part outputs data obtained from a memory to an arithmetic result holding part 113.



LEGAL STATUS

[Date of request for examination] 21.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-16398

(43)公開日 平成9年(1997)1月17日

(51)Int.Cl.⁶
G 0 6 F 9/38

識別記号 310
府内整理番号

F I
G 0 6 F 9/38

技術表示箇所
310B

審査請求 未請求 請求項の数9 O L (全14頁)

(21)出願番号 特願平7-163676

(22)出願日 平成7年(1995)6月29日

(71)出願人 000221199
東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 藤村 博紀

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72)発明者 高井 裕之

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(74)代理人 弁理士 三好 秀和 (外3名)

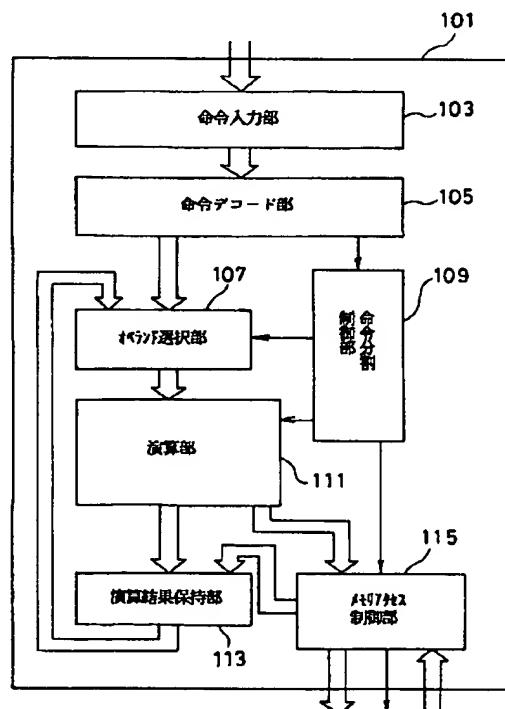
最終頁に続く

(54)【発明の名称】 情報処理装置

(57)【要約】

【目的】 ハードウェアを極力抑え、複数のデータのアドレスを生成し、複数のデータの読み出し／書き込みを可能とすることができる情報処理装置を提供する。

【構成】 命令入力部103で入力された命令コードが、命令デコード部105にてデコードされ、オペランド及び制御信号が生成される。前記制御信号により命令分割制御部109が分割制御信号出力し、オペランド選択部107が前記分割制御信号により、前記命令デコード部105より入力したオペランドを所定のビット幅で出力する。前記オペランドを前記分割制御信号により演算部111が所定のビット幅に分割して演算を行い、演算されたアドレスを入力し、このアドレス、及び前記分割制御信号を出力し、前記メモリから得られたデータをメモリアクセス制御部が演算結果保持部113へ出力するようにしてある。



【特許請求の範囲】

【請求項 1】 命令コードを入力する命令入力部と、この命令入力部に入力された命令のデコードを行い、オペランド及び制御信号を生成して出力する命令デコード部と、この命令デコード部で生成された制御信号により分割制御信号を出力する命令分割制御部と、この命令分割制御部が生成する分割制御信号により、少なくとも前記命令デコード部もしくは演算結果保持部より入力したオペランドを所定のビット幅で出力するオペランド選択部と、このオペランド選択部より入力したオペランドを前記分割制御信号により所定のビット幅に分割して演算を行い、この演算結果を出力する演算部と、この演算部で出力されたデータ及びメモリアクセス制御部から出力されたデータを保持し、前記オペランド選択部へ出力する演算結果保持部と、前記演算部よりメモリへアクセスするアドレスを入力し、このメモリアドレス、及び前記分割制御信号を出力し、前記メモリから得られたデータを前記演算結果保持部へ出力を行うメモリアクセス制御部と、を具備することを特徴とする情報処理装置。

【請求項 2】 前記メモリアクセス制御部は、前記演算部の演算結果が 1 つの場合には、アドレスを複数に分割して出力し、前記演算結果が 2 つ以上の場合には、その各々にアドレスを出力する複数のアドレス出力手段と、前記分割制御信号を出力する分割制御信号出力手段と、前記メモリから得られたデータの入力を用いて複数のデータ入力手段と、を具備することを特徴とする請求項 1 記載の情報処理装置。

【請求項 3】 前記演算部は、前記分割制御信号が分割命令を示す場合には、少なくとも 1 つのビットの桁上げ信号を、前記ビットの 1 つ上位のビットに伝送させないようにするキャリーライン切断手段を備え、アクセスするメモリの複数のアドレスを並列に演算することで、複数のアドレスを生成することを特徴とする請求項 1 に記載の情報処理装置。

【請求項 4】 前記演算部は、前記オペランド選択部より入力したオペランドの演算を行い、この演算結果を出力するアドレス計算手段と、前記分割制御信号が分割命令を示す場合には、前記アドレス計算手段の少なくとも 1 つの所定のビットの桁上げ信号を、前記ビットの 1 つ上位のビットに伝送させないようにするキャリーライン切断手段と、前記アドレス計算手段と並列して特定の演算を行う特定演算実行手段と、を備え、前記特定演算実行手段は脱着可能であることを

特徴とする請求項 1 記載の情報処理装置。

【請求項 5】 メモリオペランドを持つ情報処理装置において、この情報処理装置の持つ最大のビット巾の演算を行なう手段と、この演算結果を所定のビット巾のアドレスバスに出力してメモリアクセスを行なう手段と、ビット巾の合計が前記最大のビット巾を超えない範囲で、予め定められたビット巾の演算を各々独立して行ない、所定の数の演算結果を生成する手段と、生成された前記所定の数の演算結果をアドレスとして前記アドレスバスに出力すると共に、アドレスバス上の値を前記所定の数の独立したビット巾のアドレスとみなすことを指示する信号を出力する手段と、を具備し、それぞれのアドレスに対応して予め定められたデータ巾の前記所定の数のデータバスを同時に駆動することにより、同時に前記所定の数のメモリアクセスを行なうことを特徴とする情報処理装置。

【請求項 6】 前記所定の数のアドレスをアドレスバスに出力していることを示す信号は、命令デコード結果から生成することを特徴とする請求項 5 記載の情報処理装置。

【請求項 7】 前記予め定められたビット巾で演算を各々独立して行なう際に、各ビット巾に対応する演算器入力をそれぞれ独立に選択することができる特徴とする請求項 5 記載の情報処理装置。

【請求項 8】 前記所定の数のメモリアクセスを同時に行なう場合に、通常のメモリアクセスで用いるデータバスを予め定められたビット巾に前記所定の数で分割して用いることを特徴とする請求項 5 記載の情報処理装置。

【請求項 9】 命令コードを入力する命令入力部、この命令入力部に入力された命令のデコードを行い、オペランド及び制御信号を生成して出力する命令デコード部、この命令デコード部で生成された制御信号により分割制御信号を出力する命令分割制御部、前記命令分割制御部が生成する分割制御信号により、前記命令デコード部もしくは演算結果保持部より入力したオペランドを所定のビット幅で出力するオペランド選択部、このオペランド選択部より入力したオペランドを前記分割制御信号により所定のビット幅に分割して演算を行い、この演算結果を出力する演算部、この演算部で出力されたデータ及びメモリアクセス制御部から出力されたデータを保持し、前記オペランド選択部へ出力する演算結果保持部、並びに、前記演算部の演算結果が 1 つの場合には、アドレスを複数に分割して出力し、前記演算結果が 2 つ以上の場合には、その各々にアドレスを出力する複数のアドレス出力手段、前記分割制御信号を出力する分割制御信号出力手段、メモリ部から得られたデータの入力を用いて複数のデータ入力手段を備え、前記メモリ部から得られたデータを前記演算結果保持部へ出力を行うメモリアクセ

ス制御部を備えた情報処理部と、
前記複数のアドレス出力手段のうち一のアドレス出力手段以外のアドレス出力手段である他のアドレス出力手段からのアドレス、及び、前記分割制御信号を入力し、この分割制御信号により前記他のアドレス出力手段からのアドレスを切り替えて出力するバス制御ユニット部と、前記複数のアドレス出力手段のうち少なくとも前記一のアドレス出力手段からのアドレスを入力し、前記バス制御ユニット部からアドレスの入力があった場合には前記一のアドレス出力手段からのアドレスと前記バス制御ユニット部からのアドレスとを連結したアドレスに格納されたデータを分割してそれぞれ前記複数のデータ入力手段のうち一のデータ入力手段及び一のデータ入力手段以外の他のデータ入力手段へ出力する第1の記憶領域、及び、前記他のアドレス出力手段からのアドレス、及び、前記分割制御信号を入力し、この分割制御信号により前記アドレスに格納されたデータを前記他のデータ入力手段へ出力する1以上の第2の記憶領域を備えたメモリ部と、

を具備することを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は情報処理装置に関し、特に、複数のデータの同時読み出し／書き込み（複数オペランドロード／ストア）を可能とする情報処理装置に関する。

【0002】

【従来の技術】従来から情報処理装置においては、命令の取出しと実行をステージに分割し、ステージレベルで先行制御を行い、命令実行時間を短縮する技法であるパイプライン方式を用いたものが知られている。図11はこのパイプライン方式を用いた情報処理装置（以下の説明の便宜上、図11の装置を情報処理装置（a）と記す）のブロック図を示している。この情報処理装置

（a）は命令レジスタ（IR）3と、IR3中のデータを入力とし各種制御信号を生成するデコーダ（DEC）5と、IR3中のデータの中のディスプレースメントデータを符号拡張する符号拡張器（EXT）7と、汎用レジスタ（GR）9と、GR9中のデータからEXT7の出力データのどちらかを選択するセレクタ（SEL）1と、演算器（ALU）15と、ALU15で生成されたアドレスデータをラッチするメモリアドレスレジスタ（MAR）23と、メモリ（図示せず）より読み出されたデータをラッチするメモリデータレジスタ（MDR）27と、ALU15で計算されたアドレスをメモリ（図示せず）へ転送するためのアドレスバス（ABUS）29と、メモリから出力された所望のデータを入力するためのデータバス（DBUS）31とを備えている。また、DEC5から生成される制御信号は、GR9の制御信号（GRC）、SEL1の制御信号（SELC）、

及び、ALU15の制御信号（ALUC）とからなるものとする（図中は各制御信号を転送する信号線を簡略化のため1本のみ記載してある）。

【0003】次に、以上のような情報処理装置のオペランドロード動作についてパイプラインの各ステージ毎に説明する。まず、IF（命令フェッチ）ステージにおいて、命令バスにのっている命令コードをIR3でラッチする。次のID（命令デコード）ステージにおいては、IR3中の命令コードをDEC5でデコードし、アドレス計算を行なうための各制御信号（GRC、SELC、ALUC）を出力する。また、GRCにより選択される所定のGR9がALU15に入力され、SELCによりEXT7の出力が選択されALU15に入力される。

【0004】次に、EX（実行）ステージにおいて、ALU15は、上記2つのデータ（GR9、EXT7の出力）を入力とし、ALUCに基づいてアドレス計算を実行し、メモリアドレスを作成（演算）する。その後、ALU15から出力されるメモリアドレスをMAR23でラッチする。その後に続くMA（メモリアクセス）ステージにおいて、メモリアドレスをABUS29に乗せてメモリアクセスを行なう。メモリアクセスにより読み出されたデータがDBUS31にのっているので、上記データをMDR27でラッチする。最後のWB（ライトバック）ステージにおいて、MDR27から出力される上記データをGR9に書き込む。

【0005】以上のように、図11に示した情報処理装置（a）では、1サイクルに1つのデータしか読み出し／書き込みができないため、複数のデータを読み出す／書き込むには上記動作を複数回実行しなければならない。

【0006】そこで、1サイクルに2つのデータを読み出すことが可能な従来の情報処理装置についての発明が開示されている。この従来の情報処理装置（b）を図12に示す。従来の情報処理装置（a）と比較しての相違点は演算器（ALU25b）、演算器（ALU25b）の入力ラッチ、MAR23b及びMDR27b、及び演算器2つを制御するための制御回路（DECに含む）が付加されている。これらの回路等を付加し、それらを適当に制御することで、1サイクルに2つのデータを読み出すことができる。

【0007】次に、この従来の情報処理装置（b）の動作であるが、基本的に従来の情報処理装置（a）と同じである。EX（実行）ステージにおいて、ALU1、ALU2でALUCに基づいてアドレス計算を実行し、メモリアドレスを2つ生成する。その結果、MA（メモリアクセス）ステージにおいて1サイクルに2つのデータを読み出すことができる。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の情報処理装置（b）では、1サイクルに2つのデータ

タの読み出し／書き込みは可能であるが、従来の情報処理装置(a)のハードに加えて、2つめのアドレス生成のためのハード(ALU15b, ALU15bの入力ラッチ13, MAR23b, MDR27b, 制御回路)が必要である。ここで、これらALU等のハードウェア量の増加は相当量になるため、最近の小型化、軽量化のニーズには十分に答えられない。また、これらハードウェアの増加は消費電力の増加も招くという問題があった。

【0009】本発明は上記事情に鑑みてなされたものであり、その目的とするところは、ハード量を極力抑え、複数のデータのアドレスを生成し、複数のデータの読み出し／書き込み(複数オペランドロード／ストア)を可能とすることができる情報処理装置を提供することである。

【0010】

【課題を解決するための手段】上記目的を達成するため、第1の本発明の特徴は、命令コードを入力する命令入力部と、この命令入力部に入力された命令のデコードを行い、オペランド及び制御信号を生成して出力する命令デコード部と、この命令デコード部で生成された制御信号により分割制御信号を出力する命令分割制御部と、この命令分割制御部が出力する分割制御信号により、少なくとも前記命令デコード部もしくは演算結果保持部より入力したオペランドを所定のビット幅で出力するオペランド選択部と、このオペランド選択部より入力したオペランドを前記分割制御信号により所定のビット幅に分割して演算を行い、この演算結果を出力する演算部と、この演算部で出力されたデータ及びメモリアクセス制御部から出力されたデータを保持し、前記オペランド選択部へ出力する演算結果保持部と、前記演算部よりメモリへアクセスするアドレスを入力し、このメモリアドレス、及び前記分割制御信号を出力し、前記メモリから得られたデータを前記演算結果保持部へ出力を行うメモリアクセス制御部とを具備することである。

【0011】ここで、前記メモリアクセス制御部は、前記演算部の演算結果が1つの場合には、アドレスを複数に分割して出力し、前記演算結果が2つ以上の場合には、その各々にアドレスを出力する複数のアドレス出力手段と、前記分割制御信号を出力する分割制御信号出力手段と、前記メモリから得られたデータの入力を複数のデータ入力手段とを具備することが好ましい。

【0012】また、前記演算部は、前記分割制御信号が分割命令を示す場合には、少なくとも1つのビットの桁上げ信号を、前記ビットの1つ上位のビットに伝搬させないようにするキャリーライン切断手段を備え、アクセスするメモリの複数のアドレスを並列に演算することで、複数のアドレスを生成するようにすることが好ましい。

【0013】また、前記演算部は、前記オペランド選択部より入力したオペランドの演算を行い、この演算結果

を出力するアドレス計算手段と、前記分割制御信号が分割命令を示す場合には、前記アドレス計算手段の少なくとも1つの所定のビットの桁上げ信号を、前記ビットの1つ上位のビットに伝搬させないようにするキャリーライン切断手段と、前記アドレス計算手段と並列して特定の演算を行う特定演算実行手段とを備え、前記特定演算実行手段は脱着可能であることが好ましい。

【0014】次に、第2の本発明の特徴は、メモリオペランドを持つ情報処理装置において、この情報処理装置の持つ最大のビット巾の演算を行なう手段と、この演算結果を所定のビット巾のアドレスバスに出力してメモリアクセスを行なう手段と、ビット巾の合計が前記最大のビット巾を超えない範囲で、予め定められたビット巾の演算を各々独立して行ない、所定の数の演算結果を生成する手段と、生成された前記所定の数の演算結果をアドレスとして前記アドレスバスに出力すると共に、アドレスバス上の値を前記所定の数の独立したビット巾のアドレスとみなすことを指示する信号を出力する手段と、を具備し、それぞれのアドレスに対応して予め定められたデータ巾の前記所定の数のデータバスを同時に駆動することにより、同時に前記所定の数のメモリアクセスを行なうことである。

【0015】ここで、前記所定の数のアドレスをアドレスバスに出力している事を示す信号は、命令デコード結果から生成するようになることが好ましい。

【0016】また、前記予め定められたビット巾で演算を各々独立して行う際に、各ビット巾に対応する演算器入力をそれぞれ独立に選択することができるようになることが好ましい。

【0017】また、前記所定の数のメモリアクセスを同時に行なう場合に、通常のメモリアクセスで用いるデータバスを予め定められたビット巾に前記所定の数で分割して用いることが好ましい。

【0018】次に、第3の発明の特徴は、命令コードを入力する命令入力部、この命令入力部に入力された命令のデコードを行い、オペランド及び制御信号を生成して出力する命令デコード部、この命令デコード部で生成された制御信号により分割制御信号を出力する命令分割制御部、前記命令分割制御部が出力する分割制御信号により、前記命令デコード部もしくは演算結果保持部より入力したオペランドを所定のビット幅で出力するオペランド選択部、このオペランド選択部より入力したオペランドを前記分割制御信号により所定のビット幅に分割して演算を行い、この演算結果を出力する演算部、この演算部で出力されたデータ及びメモリアクセス制御部から出力されたデータを保持し、前記オペランド選択部へ出力する演算結果保持部、並びに、前記演算部の演算結果が1つの場合には、アドレスを複数に分割して出力し、前記演算結果が2つ以上の場合には、その各々にアドレスを出力する複数のアドレス出力手段、前記分割制御信号

を出力する分割制御信号出力手段、メモリ部から得られたデータの入力を行う複数のデータ入力手段を備え、前記メモリ部から得られたデータを前記演算結果保持部へ出力を行うメモリアクセス制御部を備えた情報処理部と、前記複数のアドレス出力手段のうち一のアドレス出力手段以外のアドレス出力手段である他のアドレス出力手段からのアドレス、及び、前記分割制御信号を入力し、この分割制御信号により前記他のアドレス出力手段からのアドレスを切り替えて出力するバス制御ユニット部と、前記複数のアドレス出力手段のうち少なくとも前記一のアドレス出力手段からのアドレスを入力し、前記バス制御ユニット部からアドレスの入力があった場合には前記一のアドレス出力手段からのアドレスと前記バス制御ユニット部からのアドレスとを連結したアドレスに格納されたデータを分割してそれぞれ前記複数のデータ入力手段のうち一のデータ入力手段及び一のデータ入力手段以外の他のデータ入力手段へ出力する第1の記憶領域、及び、前記他のアドレス出力手段からのアドレス、及び、前記分割制御信号を入力し、この分割制御信号により前記アドレスに格納されたデータを前記他のデータ入力手段へ出力する1以上の第2の記憶領域を備えたメモリ部と、を具備することである。

【0019】

【作用】上記第1の発明の構成によれば、演算器を複数に分割することにより、データのアドレスを複数個生成し、また、複数のアドレスを出力していることを表す制御信号も生成する。制御信号及び複数のアドレスをメモリに対して出力することにより、複数オペランドロード／ストアを可能とすることができるのである。

【0020】また、メモリアクセス制御部は、演算部の演算結果が1つの場合には、アドレスを複数に分割して出力し、前記演算結果が2つ以上の場合には、その各々にアドレスを出力するようにし、また、メモリから得られたデータの入力を複数で行うようにしているので、演算部を分割する場合とそうでない場合でアドレスやデータの転送するバスを共有することができるのである。

【0021】また、演算部に、前記ビットの1つ上位のビットに伝搬させないようにするキャリーライン切断手段を設けることで、演算器を分割する命令と、分割しない命令とを混合させることができるのである。

【0022】また、演算部の特定の演算を行う特定演算実行手段は脱着可能であることにより、積和演算等の特定演算を必要に応じて対応することができ、さらに、特定演算実行手段を交換することで、将来のアップグレード等も容易にすることができるのである。

【0023】また、第2の発明の構成によれば、ビット巾の合計がこの情報処理装置の持つ最大のビット巾を超えない範囲で、予め定められたビット巾の演算を各々独立して行ない、所定の数の演算結果を生成する手段をしているので、ハード量を極力抑え、複数のデータのア

ドレスを生成し、複数のデータの読み出し／書き込み（複数オペランドロード／ストア）を可能とすることができるるのである。

【0024】ここで、前記所定の数のアドレスをアドレスバスに出力している事を示す信号は、命令デコード結果から生成するようにすることで、ユーザはハードウェアを意識することなく命令を記述することができる。これにより、ソフトウェアの開発効率を向上させることができるのである。

【0025】また、前記予め定められたビット巾で演算を各々独立して行う際に、各ビット巾に対応する演算器入力をそれぞれ独立に選択することができるようになることにより、独立したアドレス計算が可能となるのである。

【0026】また、前記所定の数のメモリアクセスを同時になう場合に、通常のメモリアクセスで用いるデータバスを予め定められたビット巾に前記所定の数で分割して用いることにより、ハードウェアの増加を抑えて、複数のデータのアドレスを生成し、複数のデータの読み出し／書き込み（複数オペランドロード／ストア）を可能とすることができるのである。

【0027】さらに、第3の発明の構成によれば、前記バス制御ユニット部からアドレスの入力があった場合には前記一のアドレス出力手段からのアドレスと前記バス制御ユニット部からのアドレスとを連結したアドレスに格納されたデータを分割してそれぞれ前記複数のデータ入力手段のうち一のデータ入力手段及び一のデータ入力手段以外の他のデータ入力手段へ出力する第1の記憶領域、及び、前記他のアドレス出力手段からのアドレス、及び、前記分割制御信号を入力し、この分割制御信号により前記アドレスに格納されたデータを前記他のデータ入力手段へ出力する1以上の第2の記憶領域を備えたメモリ部を設けるようにすることで、ハード量を極力抑え、複数のデータのアドレスを生成し、複数のデータの読み出し／書き込み（複数オペランドロード／ストア）を可能とすることができる。また、前記一のアドレス出力手段からのアドレスと前記バス制御ユニット部からのアドレスとを連結したアドレスに格納されたデータを分割してそれぞれ前記複数のデータ入力手段のうち一のデータ入力手段及び一のデータ入力手段以外の他のデータ入力手段へ出力するようにすることで、データバスを共用することができるのである。

【0028】

【実施例】以下に本発明に係る情報処理装置について図面を参照しながら詳細に説明する。

【0029】以下の実施例では、下記に示すような特徴を持った情報処理装置についての説明を行う。ここで、基本的にはこの情報処理装置は下記のように5段（5ステージ）パイプラインの構成を有し、一般的なRISCプロセッサにて用いられるパイプライン構成である。

【0030】IFステージ：命令をメモリからフェッチしてIRにセットする命令を入力するステージである
IDステージ：IR上の命令をデコードする。レジスタ番号、ディスプレースメント(disp)等を生成するステージである

EXステージ：演算を実行する。又はメモリアクセスのアドレスを生成するステージである

MAステージ：メモリアクセスを行なうステージである

WBステージ：レジスタへのデータの書き込みを行なうステージである

次に、本発明に係る情報処理装置のブロック図を図1に示す。この情報処理装置101は、命令コードを入力する命令入力部103と、命令入力部103に入力された命令のデコードを行い、オペランド及び制御信号を生成して出力する命令デコード部105と、命令デコード部105で生成された分割制御信号により命令分割信号を出力する命令分割制御部107と、命令分割制御部が出力する命令分割信号により、命令デコード部105もしくは演算結果保持部113より入力したオペランドを所定のビット幅で出力するオペランド選択部107と、オペランド選択部107より入力したオペランドを命令分割信号により所定のビット幅に分割して演算を行い、この演算結果を出力する演算部111と、演算部111で出力されたデータ及びメモリアクセス制御部115から出力されたデータを保持し、オペランド選択部107へ出力する演算結果保持部113と、演算部111よりメモリへアクセスするアドレスを入力し、このメモリアドレス、及び命令分割信号を出力し、メモリから得られたデータを前記演算結果保持部113へ出力を行うメモリアクセス制御部115とを具備している。

【0031】次に、本発明に係る情報処理装置の動作について説明する。まず、IF(命令フェッチブロック)で複数オペランドロードを実行させる命令をフェッチし、その命令が命令入力部103に入力され、この命令入力部103内に備えられたレジスタ等に入力される。この入力された命令は命令デコード部105にて命令のデコードがされ、このデコードにより命令分割制御部109では、分割制御信号を生成して各部に出力する。ここで、この分割制御信号は、分割／非分割のみを示す命令であってもよいし、この信号を出力する各部の制御を伴った信号、すなわち、各部に出力する信号は異なった性質を持つものであっても良い。この分割制御信号はオペランド選択部107、演算部109、及びメモリアクセス制御部115にそれぞれ入力される。オペランド選択部107では、命令デコード部105にてデコードされたオペランドや演算結果保持部113にて保持されたオペランドのうち、演算部111にて演算を行う所望のオペランドを選択して演算部111へ出力する。ここで、本実施例では、オペランド選択部107に入力されるオペランドは命令デコード部105にてデコードされ

たものや演算結果保持部113にて保持されたものを用いているが、これに限られるものではない。例えば、メモリアクセス制御部からのデータ(オペランド)を直接入力してもよいし、その他の各部から出力されるオペランドを入力してもよい。

【0032】次に、演算部111では、オペランド選択部107で選択されたオペランド及びオペランド選択部107で選択された命令中のディスプレースメント等を入力として複数のアドレスを生成(演算)する。演算部111から出力される複数のアドレスはメモリアクセス制御部115に入力され、このメモリアクセス制御部115に備えられたMAR(メモリアドレッサ)でラッチして、アドレスバスに出力する。

【0033】以下、本発明に係る実施例1及び2においては、32ビットのALUを2分割して、16ビットアドレス2つを1度に計算する実施例についての説明を行う。主としてアドレス計算を行うコアプロセッサに関する実施例について説明する。

【0034】実施例1

図2に本実施例に係る情報処理装置のブロック図を示す。本実施例では、主としてアドレス計算を行うコアプロセッサについて説明する。この情報処理装置1は命令コードを入力する命令レジスタ(IR)203と、IR203中のデータを入力とし各種制御信号を生成するデコーダ(DEC)205と、IR203中のデータ中のディスプレースメントデータを符号拡張する符号拡張器(EXT)207と、汎用レジスタ(GR)209と、GR209中のデータからEXT207の出力データのどちらかを選択する2つのセレクタ(SEL)211a, 211bと、演算器(ALU)215と、ALU215で生成されたアドレスデータをラッチするメモリアドレスレジスタ(MAR)223と、メモリ(図示せず)より読み出されたデータをラッチするメモリデータレジスタ(MDR)227と、アドレスバス(ABUS)229と、データバス(DBUS)231とを備えている。なお、データバス上の複数のデータを直接積和演算器(以下MACと記す)やALUの入力とするようにもよい。

【0035】本実施例においては特定の命令(積和演算)において2つのメモリアクセスを同時にを行うことができるよう、乗算器217を用いてEXステージで乗算を行い、加算器219及びアキムレータ221を用いて、MAステージで加算を行なうようにしてある。また、IF201は次にフェッチする命令のアドレスを保持するものであり、一般的にはプログラムカウンタと呼ばれるものである。また、PCID, PCEX, PCM Aを設けてあり、各ステージで実行されている命令を把握するために実行されている命令のアドレスを保持するようにしてある。

【0036】ここで、必要なメモリをオンチップ化でき

る場合にも、そうでない場合にも対応できるように、キャッシュはコア外に接続ができるようにしてよい。また、性能の確保、キャッシュ実装の容易性、消費電力の低減を狙ってオンチップの命令バスとオペランドバスを分離するようにしてよい。

【0037】次に、本実施例におけるアドレスの発生方法について図3を用いて説明する。図3は図2から説明に必要な構成を抜き出したものであり、図2におけるALU215は、上位演算ALU313bと、下位演算ALU313aと、ALU313aの桁上げ信号（以下キャリーと記す）切断手段315とを備えるものである。ここで、通常命令ではALUの上位16ビットと下位16ビットの間のキャリーが接続されており、ALU215は32ビットの加算を行なう。GR309と16ビットのdispを符号拡張したものを加算してMAR319にセットし、それをアドレスバス（図中はADDRESSと記している）に出力する。対応するデータはバスサイクル終了時にMDR321にセットされる。

【0038】後述するMLDやMAC等の積和演算時はALUの上位16ビットと下位16ビットの間のキャリーはキャリー切断手段315により切断されて、ALUは上位16ビット、下位16ビットの演算を独立に行なう。GR309の上位16ビットにデータサイズ（1, 2, 4のどれか）、下位16ビットにdisp（16ビット）を加算する。キャリーの切断は、命令のデコード結果がMLDやMAC等の積和演算命令であることを示している場合に行なわれる。

【0039】2つの16ビットアドレスは、MAR319にセットされ、それぞれアドレスバスの上位と下位に出力される。それぞれに対応するデータはデータバスの上位16ビット、下位16ビットから、MDR321にセットされる。

【0040】一方、積和演算によるメモリアクセスを実行中には、アドレスバス上の値を、上下16ビットずつの別個のアドレスとして処理するように指示する分割制御信号信号（16bitADRS）を発生する。この信号は命令のOPコードから生成され、積和演算命令がMAステージにある時に他のバス制御信号（AS, RW等）と共に発生される。

【0041】この構成により、積和演算で用いるデータ領域があまり大きくない場合には、演算器のキャリーを切断するためのセレクタ（実際にはNANDゲート）と、バスサイクルと同期して分割制御信号（16bitADRS）を出力するための論理回路と、ALU入力のセレクタ構成の変更というハードウェアの増加で2つのバスサイクルを同時に実行し、1クロック1回の積和演算を実行することができる。従って、簡易、かつ、わずかなハードウェアの増加で複数オペランドロード／ストアを実行することができる。

【0042】基本的な積和演算命令は次のようになる。

16ビットのdispを持った32ビット長の命令フォーマットを用いる。

【0043】MLD : reg1, reg2, disp

reg1は、メモリアクセスのポインタ

reg2は、データのロードレジスタ

dispはreg1の下位と加算する

この命令の各ステージでの動作は以下の通りである。

EXステージ：2つのアドレスを生成する

MAステージ：メモリアクセスを行なう

WBステージ：reg2で指定されるレジスタへデータをロードする

：更新されたアドレスをreg1に書き戻す

MAC1 : reg1, reg2, disp

reg1は、メモリアクセスのポインタ

reg2は、データのロード、読み出しするレジスタ

dispはreg1の下位と加算する

EXステージ：2つのアドレスを生成

：reg2で指定されるGRの上位と下位を乗算

MAステージ：メモリアクセスを行なう

：PRD（乗算結果）とACC（アキュムレータ）の加算

WBステージ：reg2で指定されるレジスタへデータをロード

：更新されたアドレスをreg1に書き戻す

MAC2 : reg1, reg2

reg1は、Accの値をストアするレジスタ

reg2は、読み出しするレジスタ

EXステージ：reg2で指定されるGRの上位と下位を乗算

MAステージ：PRD（乗算結果）とACC（アキュムレータ）の加算

MAC1の積和演算のみを行なう。

【0044】上記の命令を用いて図5に示すプログラムについて本実施例に係る情報処理装置により実行してみる。ここでは図5に示すプログラムを実行した場合について説明する。この図5に示すプログラムは図6左側に示すような命令コードに変換される。この変換には、所定の場合に上述した命令に変換を行う機能を有するコンパイラを用いる。図6は2回のMLD演算と3回のMAC演算を行ない、結果をGRに書き込む場合のパイプライン実行例を示した。

【0045】図6に示す通り、最初のMLDの実行開始（EXステージ）から、レジスタに結果が入るまでの時間（後続命令で読み出せるまでの時間）は、7クロックである。

【0046】ここで、比較例として、従来の情報処理装置が図5に示したプログラムを実行した場合を図13に示した。図13に示す通り、最初のLDの実行開始（EXステージ）から、レジスタに結果が入るまでの時間（後続命令で読み出せるまでの時間）は、11クロック

を要する。

【0047】また、図11に示した従来の情報処理装置(a)と本実施例の情報処理装置にて10次のFIRフィルタ演算(積和演算10回)を実行させる。積和演算10回を実行するのに、従来の情報処理装置(a)では32クロック(アキュムレータの初期化及びレジスタへのストアの2クロックを含む)必要であるが、本実施例に係る情報処理装置では13クロック(アキュムレータの初期化及びMLD命令2クロックの計3クロックを含む)でよい。従って、従来の情報処理装置(a)に比べて性能は約3倍となる。また、図12に示した従来の情報処理装置(b)と本発明の情報処理装置では、いずれも複数オペランドロード/ストアは実行可能であるが、ハードウェア量は、本実施例に係る情報処理装置では、演算器、演算器の入力ラッチ、MAR、MDR、及びその制御回路等が不要であるため、小型化、低消費電力化が図れることができる。このように本実施例に係る情報処理装置では、ハードウェアの増加を最小限に抑えて、複数オペランドロード/ストアを高速に実行することができる。

【0048】実施例2

図4に本実施例に係る情報処理装置のブロック図を示す。本実施例は実施例1と同様に特定の命令(積和演算)において2つのメモリアクセスを同時に行なう。ここで、本実施例では積和演算器を脱着が可能となるよう、積和演算器(MAC)はコアプロセッサの外に配置されている。即ち、コアプロセッサの扱うデータ巾(ここでは32ビット)と、MACが扱うデータ巾(ここでは32ビット×2)を独立して決めることができる。MACステージでオペランドフェッチを行なうと共に、MACに対してコマンド(演算の種別)を転送する。ここで、アドレス発生の方法は実施例1と同様なので、その説明は省略する。

【0049】積和演算を行なう場合、データバス(オペランドバスのD部)は64ビット巾として、MACは2つの32ビットデータを取り込み、演算を開始する。また、積和演算によるメモリアクセスを実行中には、アドレスバス上の値を、上下16ビットずつ別個のアドレスとして処理するように指示する分割制御信号(16bitADRS)を発生する。この信号は命令のOPコードから生成され、積和演算命令がMACステージにある時に他のバス制御信号(AS, RW等)と共に発生される。

【0050】基本的な積和演算命令の動作は次のようになる。16ビットのdispを持った32ビット長の命令フォーマットを考える。

【0051】MAC : reg1, reg2, disp

reg1は、メモリアクセスのポインタ

reg2は、読み出したデータをロードするレジスタ

dispは、reg1の下位と加算する

EXステージ：2つのアドレスを生成

MAステージ：メモリアクセスを行なう

: MACに対してコマンドを送る

WBステージ：コアは、データをreg2にロードする

: MACはフェッチしたデータの上位16ビット、下位16ビットの間で乗算を行なう。乗算結果とACCの加算を行なう

WBステージ以降、コアとMACの動作は無関係である。MACの動作もパイプライン化して、1クロックに1回のMAC演算が可能にするその他に次のような命令が必要である。

【0052】STACC : Src, Dest

特殊レジスタをストアする命令、Src(ACCである)をDestで指定されるGRまたはメモリに書き込む。

【0053】上記の命令を用いて、3回のMAC演算を行ない、結果をGRに書き込む場合のパイプライン実行例を図7に示す。(ただし、MACユニットはパイプライン的に動作しており、MAC演算における加算ステージをACステージとする。)図7に示す通り、最初のMACの実行開始(EXステージ)から、結果がレジスタに書き込まれるまでの時間は8クロックである。

【0054】ここで、従来の構成でのパイプライン実行例を図14に示す。LD命令でメモリからレジスタにデータをロードし、MAC命令でレジスタ間の積和演算を行なうものとする。最後の命令は、アキュムレータをレジスタにストアする命令である。

【0055】最初のLDの実行開始(EXステージ)から結果がレジスタに書き込まれるまでの時間は12クロックである。これは、本発明によれば2つのデータのロードと積和演算を1クロックで実行可能であるために、最高1クロックに1回の積和演算が可能なのに対して、従来例は2つのオペランドのロードと積和演算がすべて別の命令となるため、1回の積和演算毎に3クロックかかるためである。

【0056】実施例3

次に、第3の実施例として図8に本実施例のシステム構成の概要を示したブロック図を示す。この情報処理装置は、コアプロセッサ801と、バス制御ユニット803と、メモリ部805とを備えてある。本実施例においても、32ビットのデータを2分割して、16ビットアドレスを2つを取込む方式について説明することにする。

【0057】ここで、コアプロセッサ801の構成は前述の実施例1に相当するものであり、メモリアクセスステージでアドレス、及び分割制御信号(16bitADRS)を出力する。ただし、図1におけるメモリアクセス制御部115は、演算部111の演算結果が一つの場合には、アドレスを複数に分割して出力し、演算結果が二つ以上の場合には、その各々にアドレスを出力する複数のアドレス出力手段(図中はAL(下位アドレス), AH(上位アドレス)で記してある)と、分割制御信号を出力する分割制御信号出力手段(図中は16bitA

D R S の反転信号で記してある)と、メモリから得られたデータの入力を行う複数のデータ入力手段(図中はD L(下位データ), D H(上位データ)で記してある)とを備えるようにしてある。

【0058】次に、バス制御ユニット803は、前記複数のアドレス出力手段のうち一のアドレス出力手段以外のアドレス出力手段である他のアドレス出力手段からのアドレス、及び、前記分割制御信号を入力し、この分割制御信号により前記他のアドレス出力手段からのアドレスを切り替えて出力するものである。

【0059】次に、メモリ部805は、前記複数のアドレス出力手段のうち一のアドレス出力手段からのアドレスを入力し、前記バス制御ユニット803からアドレスの入力があった場合にはアドレス出力手段からのアドレス(A L)と前記バス制御ユニット803からのアドレス(A H)とを連結したアドレスに格納されたデータをD L(下位データ)とD H(上位データ)に分割して、それぞれ前記他のデータ入力手段へ出力する第1の記憶領域805a、及び、他のアドレス出力手段からのアドレス(A H)、及び、前記分割制御信号を入力し、この分割制御信号により前記アドレスに格納されたデータを前記他のデータ入力手段へ出力する第2の記憶領域805bを備えたものである。

【0060】上述したコアプロセッサ801と記憶領域805aとはアドレスバス、データバスで接続されている。また、16bit ADRSをバス制御ユニットでのアドレスデコード、各記憶領域の制御信号の生成に使用する。上位アドレスAH<15:0>はバス制御ユニットで記憶領域805aの上位アドレスAH1<15:0>と、記憶領域805bのアドレスAH2<15:0>とに分かれて出力される。下位アドレスAL<15:0>は記憶領域805aのみに出力されている。上位データDH<15:0>は記憶領域1、2の両方に出力され、下位データDL<15:0>は記憶領域805aのみに出力される。記憶領域805aは32ビットアドレス空間(4MB)、記憶領域805bは16ビットアドレス空間(64kB)である。2オペランドアクセス時には記憶領域805aに対しては下位の16ビットアドレス空間のみアクセス可能な構成である。

【0061】図10に本実施例のタイミング図を示す。本実施例では、2オペランドアクセスを行なう時に2つの独立したメモリ部をアクセスする構成について述べる。まず、1オペランドアクセス時の動作について述べる。1オペランドアクセス時にはコアプロセッサから出力されるアドレスは32ビット幅であり、これは信号16bit ADRSの反転信号が“1”であることにより指示される。この場合、上位アドレスAHはそのままA H1, AH2の両方に出力される。記憶領域1は、CLKの立ち下がりでアドレスストローブ信号ASにより、AH2とALを連結した32ビットアドレスを受け、3

2ビットデータをD H, DLに分けて入出力する。記憶領域805bに対しては、データの入出力を行なわないように制御する。

【0062】次に、2オペランドアクセス時の動作について述べる。このときコアプロセッサから出力されているアドレスは16ビットアドレスが2個であり、これは信号16bit ADRSの反転信号が“0”であることにより指示される。このとき記憶領域805aの上位アドレスAH1はバス制御ユニット803において、16bit ADRSによってALL0に設定される。これにより、AH1とALを連結した32ビットアドレスは16ビット以下のアドレス範囲に設定される。記憶領域805bに対応するアドレスAH2はそのまま送出される。データの入出力は記憶領域805aはDLを、また記憶領域805bはDHをそれぞれ使用する。したがって、2オペランドアクセスの場合16ビット幅以内のデータのみアクセスする。記憶領域805aに対しては信号16bit ADRSによってDHを使用しないように制御する。

【0063】実施例4

次に、図9に記憶領域を4つ設けた場合の実施例について示す。この情報処理装置は、上述の実施例と同様にコアプロセッサ901と、バス制御ユニット903と、メモリ部905とを備えてある。本実施例においては、64ビットのデータを4分割して、16ビットアドレスを4つを取込む方式について説明することにする。

【0064】ここで、コアプロセッサ801の構成は前述の実施例1に相当するものであり、メモリアクセスステージでアドレス、及び分割制御信号(16bit ADRS)を出力する。ただし、図1におけるメモリアクセス制御部115は、演算部111の演算結果が一つの場合には、アドレスを複数に分割して出力し、演算結果が二つ以上の場合には、その各々にアドレスを出力する複数のアドレス出力手段(図中はA1乃至A4で記してある)と、分割制御信号を出力する分割制御信号出力手段(図中は16bit ADRSの反転信号で記してある)と、メモリから得られたデータの入力を行う複数のデータ入力手段(図中はD1乃至D4で記してある)とを備えるようにしてある。バス制御ユニット903は、前記他のアドレス出力手段からの複数のアドレス、及び、前記分割制御信号を入力し、この分割制御信号により前記他のアドレス出力手段からのアドレスを切り替えて出力するようにしてある。また、メモリ部905は、4つの記憶領域を備えており、複数のアドレス出力手段(A2)からのアドレスを入力し、前記バス制御ユニット903からアドレス(A1, A3, A4)の入力があつた場合には前記一のアドレス出力手段からのアドレスと前記バス制御ユニットからのアドレスとを連結したアドレスに格納されたデータをD2, D3, D4に分割してそれぞれ複数のデータ入力手段へ出力する記憶領域905

a、及び、前記他のアドレス出力手段からのアドレス、及び、前記分割制御信号を入力し、この分割制御信号により前記アドレスに格納されたデータを前記他のデータ入力手段へ出力する記憶領域 905b, 905c, 905d を備えている。図9に示す通り構成することにより、64ビットを4ビットに分割してデータをアクセスする場合であっても本発明を適応することができる。

【0065】以上のように、上記本発明の情報処理装置及び上記従来の情報処理装置(a)に、同一周波数で、複数オペランドロード/ストアを含む演算処理を実行させると、従来の情報処理装置に比べて高性能が達成できるのは言うまでもない。また、同じ演算量(複数オペランドロード/ストアを含む)を同じ時間で処理するのに、従来の情報処理装置(a)より低い周波数での動作が可能となり、低消費電力化が果たせる。

【0066】

【発明の効果】以上説明したように、上記本発明の情報処理装置によれば、ハードウェアは最小限に抑えて、複数オペランドのロード/ストアが実行可能にすることができる。

【図面の簡単な説明】

【図1】本発明の情報処理装置の全体ブロック図である。

【図2】実施例1(MAC内蔵)の構成図である。

【図3】アドレスの発生方法を説明するための図である。

【図4】実施例2(MAC外付け)の構成図である。

【図5】ソースプログラムの一例を示した図である。

【図6】実施例1の場合のパイプライン実行例を示した図である。

【図7】実施例2の場合のパイプライン実行例を示した図である。

【図8】32ビットシステムを2つに分割した場合におけるメモリを含めた構成図である。

【図9】64ビットシステムを4つに分割した場合におけるメモリを含めた構成図である。

【図10】32ビットシステムを2つに分割した場合におけるメモリを含めた構成例のタイミング図を示す図である。

【図5】

$$\begin{aligned}
 G &= A \times B + 1 \\
 H &= C \times D + G \\
 I &= E \times F + H
 \end{aligned}$$

【図11】従来の情報処理装置(a)の構成図である。

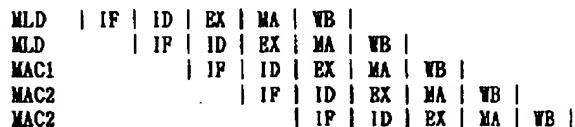
【図12】従来の情報処理装置(b)の構成図である。

【図13】従来の情報処理装置の場合のパイプライン実行例を示した図である。

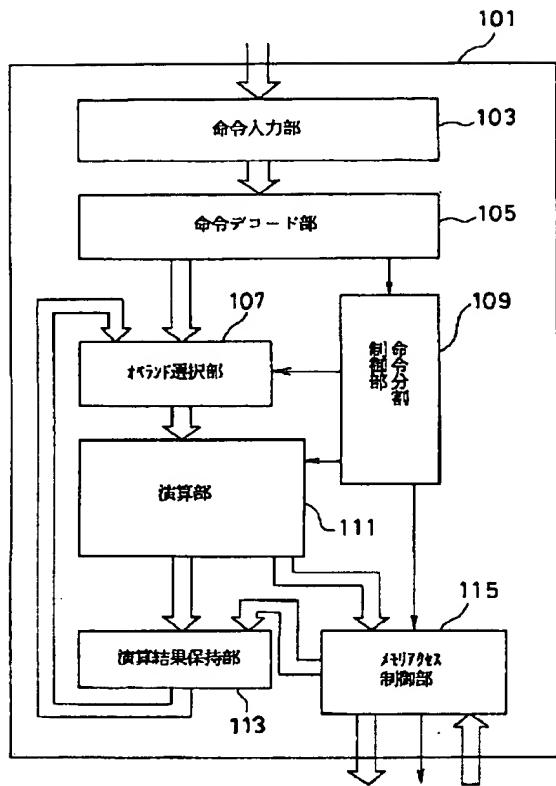
【図14】従来の情報処理装置の場合のパイプライン実行例を示した図である。

【符号の説明】

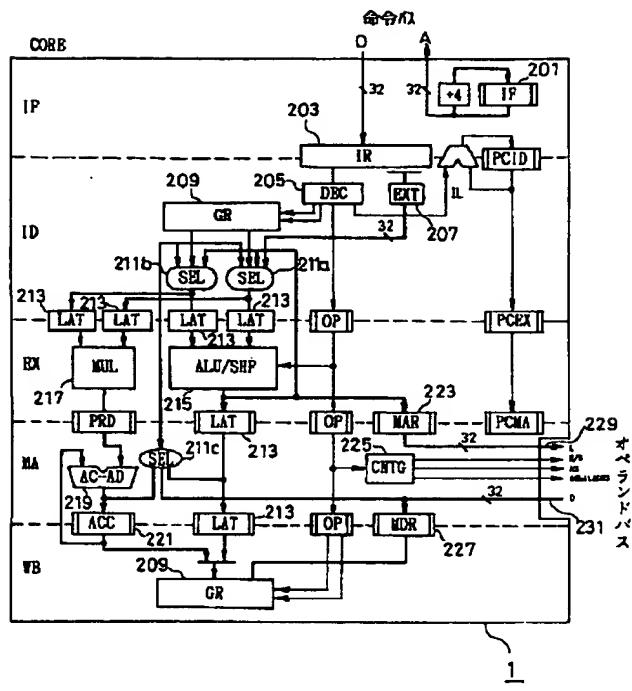
1, 101	情報処理装置
103	命令入力部
105	命令デコード部
107	オペランド選択部
109	命令分割制御部
111	演算部
113	演算結果保持部
115	メモリアクセス制御部
201, 401	プログラムカウンタ部
3, 203, 301, 403	命令レジスタ
5, 205, 405	デコーダ
7, 207, 303, 407	符号拡張器
9, 209, 309, 409	汎用レジスタ
11, 211, 211a, 211b, 307, 411	
a, 411b	セレクタ
13, 213, 311, 413	ラッチ回路
15, 215, 313, 415	演算器
17, 217, 417	乗算器
19, 219, 419	加算器
21, 221, 421	アキュムレータ
23, 223, 319, 423	メモリアクセスレジスター
25, 225, 425	メモリアクセス制御信号生成器
27, 227, 321, 427	メモリデータレジスタ
29, 229, 429	アドレスバス
31, 231, 431	データバス
305	データサイズ保持部
317	分割制御信号(16bit ADRS)
801, 901	コアプロセッサ
803, 903	バス制御ユニット
805a, 805b, 905	記憶領域

【図6】

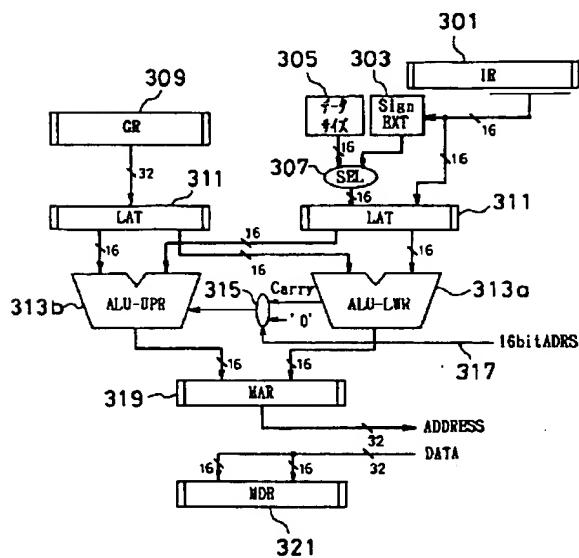
【図1】



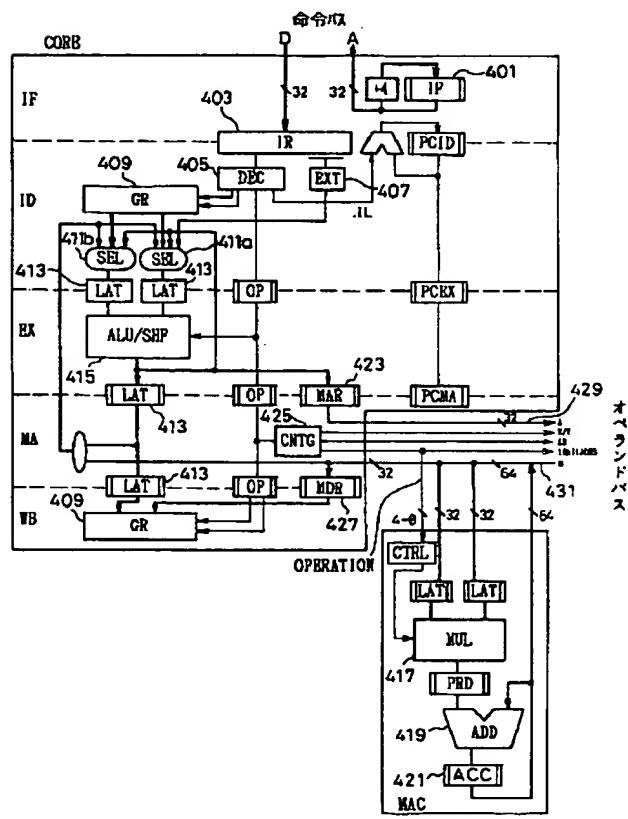
【図2】



【図3】



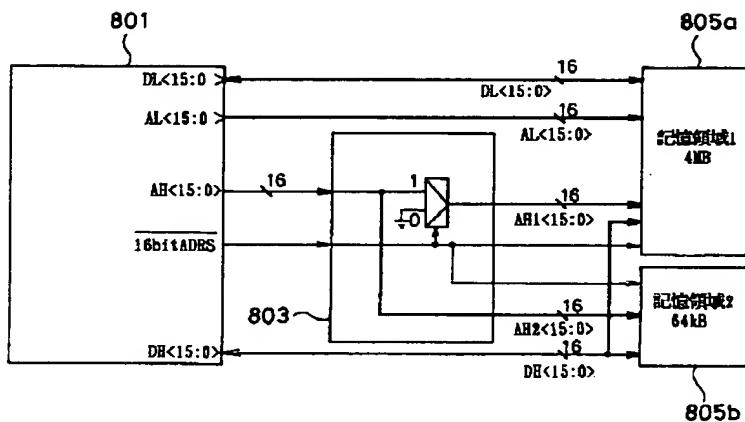
【図4】



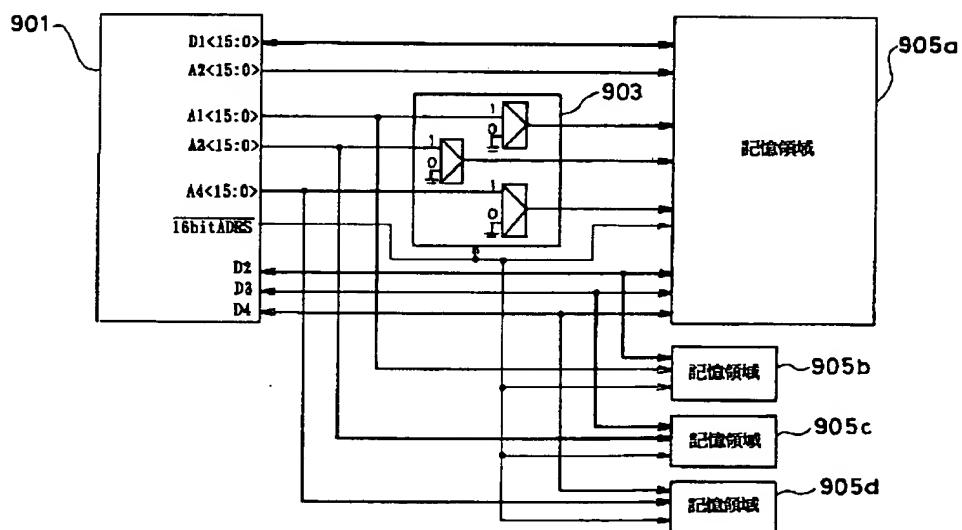
【図7】

MAC	IP	ID	EX	MA	WB	AC	
MAC	IP	ID	EX	MA	WB	AC	
MAC	IP	ID	EX	MA	WB	AC	
NOP	IP	ID	EX	MA	WB		
NOP	IP	ID	EX	MA	WB		
STACC	IP	ID	EX	MA	WB		

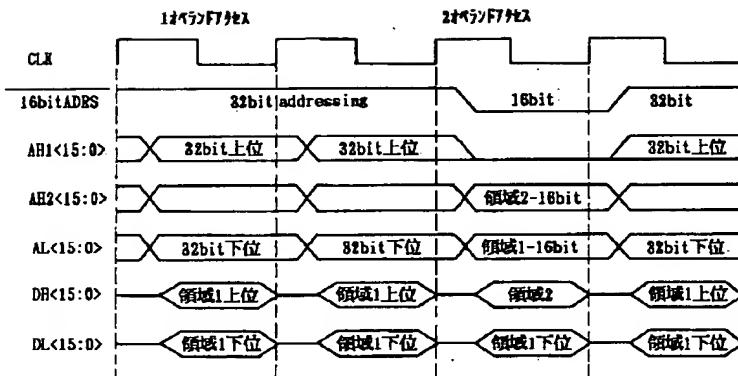
【図8】



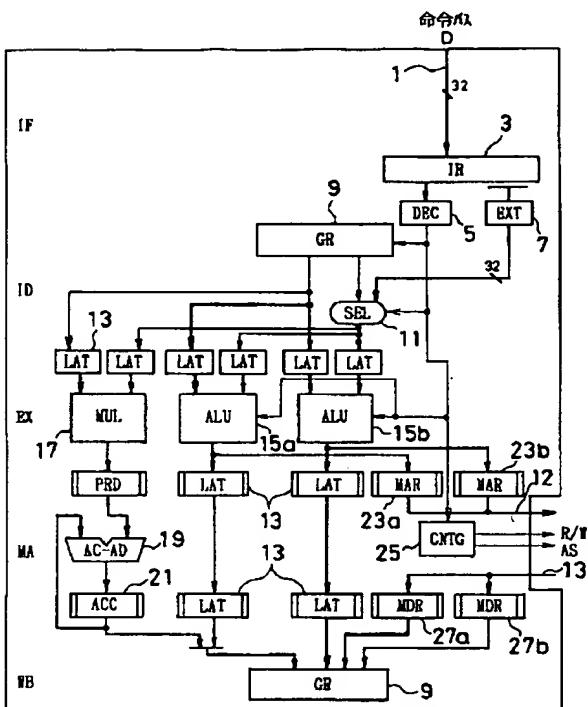
【図9】



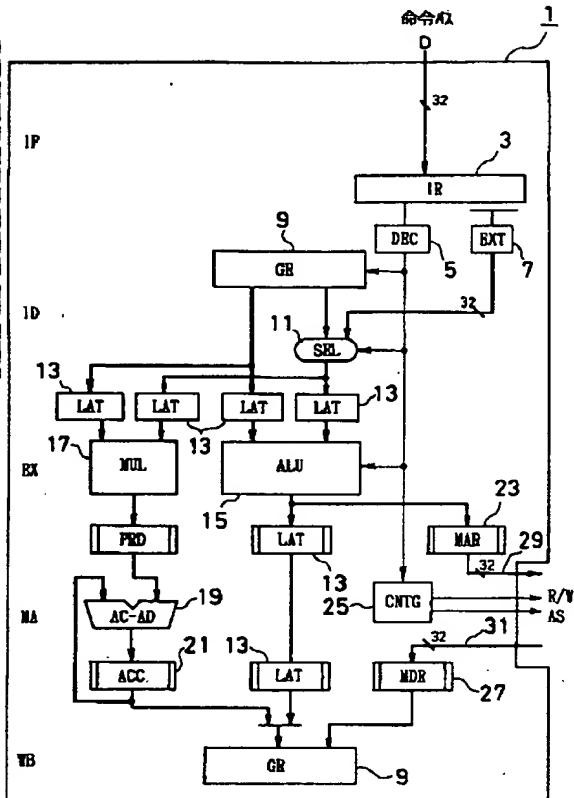
【図10】



[図 12]



【四 1 1】



【习 3】

【図14】

LD		IF		ID		EX		MA		WB	
LD		IF		ID		EX		MA		WB	
LD		IF		ID		EX		MA		WB	
LD		IF		ID		EX		MA		WB	
LD		IF		ID		EX		MA		WB	
LD		IF		ID		EX		MA		WB	
MAC											
MAC											
MAC											
STACC											

フロントページの続き

(72)発明者 子井野 誠治

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 高杉 幹生

神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

(72)発明者 矢口 俊行

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 国松 敦

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内